

⑫ 公開特許公報(A)

平1-196863

⑤Int. Cl.⁴H 01 L 27/10
G 11 C 17/06
H 01 L 29/46
29/91

識別記号

4 3 5

庁内整理番号

8624-5F
D-7341-5B
R-7638-5F
E-7638-5F

④公開 平成1年(1989)8月8日

審査請求 未請求 請求項の数 1 (全2頁)

⑤4発明の名称 半導体装置

⑥特 願 昭63-22195

⑥出 願 昭63(1988)2月2日

⑦発 明 者 岩 松 誠 一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内
⑦出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社
⑦代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体基板には酸化硅素膜等の絶縁膜が形成され、該絶縁膜上に多結晶硅素やアモルファス硅素等の多結晶半導体膜やアモルファス半導体膜の積層による縦型ダイオードを形成する際に、少くとも絶縁膜上にはタングステン硅素やモリブデン硅素等のシリサイド膜からタングステンやモリブデン等の高融点金属膜又は合金膜から成る導電膜が形成され、該導電膜上に前記縦型ダイオードが形成されて成る事を特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体固定記憶装置におけるダイオード・アレーの構造に関する。

(従来技術)

従来技術による半導体固定記憶装置におけるダイオード構造を第2図に示す。すなわち、半導体基板11の表面には酸化膜12が形成され、該酸化膜12の表面にはN型多結晶Si13及びP型多結晶Si14が格子状に形成されて、縦型ダイオードを形成し、その上に層間絶縁膜15を介して、アルミ配線16が形成されて成るのが通例であった。

(発明が解決しようとする課題)

しかし、上記従来技術によると、多結晶Siによる配線抵抗が大きく、半導体固定記憶装置の高速化に向かないという問題点があった。

本発明は、かかる従来技術の問題点をなくし、半導体固定記憶装置における多結晶半導体膜又はアモルファス半導体膜による縦型ダイオードの配線抵抗を小さくし、高速化を図る事を目的とする。

(課題を解決するための手段)

上記問題点を解決するために、本発明は、半導

体装置に関し、半導体基板上に酸化硅素等の絶縁膜を形成し、該絶縁膜上に多結晶硅素やアモルファス硅素等の多結晶半導体膜やアモルファス半導体膜の積層による縦型ダイオードを形成するに際し、少くとも絶縁膜上にタングステン硅素やモリブデン硅素等のシリサイド膜かタングステンやモリブデン等の高融点金属膜又は合金膜から成る導電膜を形成し、該導電膜上に前記縦型ダイオードを形成する手段をとる。

〔実施例〕

以下、実施例により本発明を詳述する。

第1図は本発明の一実施例を示す半導体固定記憶装置におけるダイオードの構造図である。すなわち、半導体基板1の表面には酸化膜2を形成し、該酸化膜2の表面にWSi等から成るシリサイド膜3及びN型多結晶Si4を形成し、層間絶縁膜5を介して、P型多結晶Si8及びWSi等から成るシリサイド膜7とアルミ配線8が形成され、N型多結晶Si4とP型多結晶Si6とが格子状に配されて、その交点に縦型ダイオードが形

成されて成る構成となる。

〔発明の効果〕

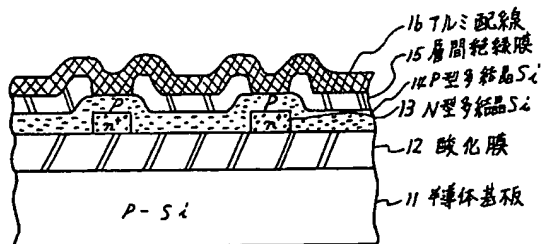
本発明により多結晶半導体膜又はアモルファス半導体膜による配線の抵抗をシリサイド膜で小さくすることができ、高速化を図ることができる効果がある。

4. 図面の簡単な説明

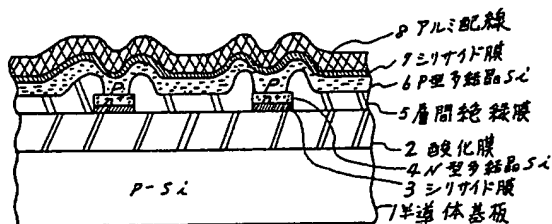
第1図は本発明の一実施例を示す半導体固定記憶装置のダイオード・アレー部の断面図であり、第2図は従来技術による半導体固定記憶装置のダイオード・アレー部の断面図である。

- 1, 11…半導体基板
- 2, 12…酸化膜
- 3, 7…シリサイド膜
- 4, 13…N型多結晶Si
- 5, 15…層間絶縁膜
- 6, 14…P型多結晶Si
- 8, 16…アルミ配線

以 上



第2図



第1図